

君正® T41

硬件设计指南

版本: 1.2

日期: 2022 年 11 月



北京君正集成电路股份有限公司
Ingenic Semiconductor Co., Ltd.

君正 T41

硬件设计指南

Copyright © Ingenic Semiconductor Co. Ltd 2020. All rights reserved.

Release history

Date	Revision	Change
2022.06	1.0	第一版
2022.09	1.1	1.增加 VDDCORE&DDR 电压纹波说明 2.删除 JTAG 接口说明
2022.10	1.2	1. DVP 接口变更为只支持 10bit 2. SADC 接口增加对电源和通道的描述

Disclaimer

This documentation is provided for use with Ingenic products. No license to Ingenic property rights is granted. Ingenic assumes no liability, provides no warranty either expressed or implied relating to the usage, or intellectual property right infringement except as provided for by Ingenic Terms and Conditions of Sale.

Ingenic products are not designed for and should not be used in any medical or life sustaining or supporting equipment.

All information in this document should be treated as preliminary. Ingenic may make changes to this document without notice. Anyone relying on this documentation should contact Ingenic for the current documentation and errata.

合肥君正科技有限公司

地址：安徽省合肥市高新区望江西路800号创新产业园C3楼9层

邮编：230088

电话：86-10-68995472

传真：86-551-68998701

网址：Http: //www.ingenic.com

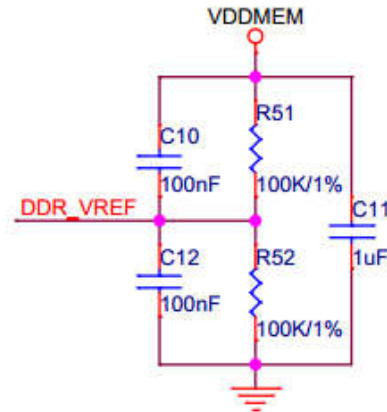
目录

1. 原理图设计注意事项	1
DDR	1
电源	1
主时钟	2
RTC 时钟	2
DVP 接口	3
USB OTG	3
RMII 网络接口	4
SFC 接口	5
MSC 接口	6
Audio 接口	6
SADC 接口	6
EFUSE 功能	7
LCD 接口	7
Dmic 接口	7
2. PCB 设计注意事项	7
PCB 叠层	7
布局注意事项	8
过孔的设置	8
DDR 电源和地的处理	8
铺铜的设置	8
散热设计	8
其他电源的设计	10
晶体设计	10
时钟走线	10
USB 走线	10
DVP 走线	10
MIPI 走线	11
音频走线	11
MAC 走线	11

1. 原理图设计注意事项

DDR

- 1) DDR_ZQ: 接 240Ω 1%电阻到地。
- 2) RZQ: 接 240Ω 1%电阻到地。
- 3) VREF 做分压, 从 VDDMEM 分压取得, 分压电阻为 1k~100K 1%, 去耦电容 100nF。



电源

- 1) 电源的高频阻抗与电源的感应系数有关。在 DDRVDD,VDDMEM,VDDCORE 和地之间要加多级电容滤波, 譬如 10uF+0.1uF+0.01uF, 可以增加电容的滤波范围, 减小电源上的高频阻抗。
- 2) 如果某个模块在产品中不需要, 那么电源 PIN 的磁珠可以省略, 但是供电不可以省略。
- 3) T41 的电源划分

Symbol	Description	Min	Typ	Max	Unit
VDDMEM	VDDMEM voltage for SSTL18 (DDR2)	1.62	1.8	1.98	V
VDDMEM	VDDMEM voltage for SSTL18 (DDR3(L))	1.283	1.35/1.5	1.65	V
DDRVDD	DDR KGD power supplies voltage(DDR2)	1.62	1.8	1.98	V
DDRVDD	VDDMEM voltage for SSTL18 (DDR3(L))	1.283	1.35/1.5	1.65	V
DDRPLL_VCCA	DDR PLL power supplies voltage	1.62	1.8	1.98	V
VDDIO2	GPIO power domain 2 supplies voltage	1.5	1.8/3.3	3.63	V
VDDIO1_1	GPIO power domain 1 supplies voltage	3.0	3.3	3.63	V
VDDIO1_2	GPIO power domain 1 supplies voltage	3.0	3.3	3.63	V
VDDIO18_1	GPIO power domain 0 supplies voltage	1.62	1.8	1.98	V
VDDIO18_2	GPIO power domain 0 supplies voltage	1.62	1.8	1.98	V
VDD	VDD core supplies voltage	0.72	0.8	0.88	V
PLL_AVDD	PLL analog voltage	1.62	1.8	1.98	V
VDD_RTC	Logic power supply for RTC	0.72	0.8	0.88	V
VDDIO_RTC	RTC IO analog voltage	1.62	1.8	3.63	V

EFUSE_AVDD	EFUSE program supplies voltage	1.62	1.8	1.98	V
SADC_AVDD	SAR-ADC analog voltage	1.62	1.8	1.98	V
CSI_VCC08	MIPI RX CORE analog voltage	0.72	0.8	0.88	V
CSI_VCC18	MIPI RX IO analog voltage	1.62	1.8	1.98	V
USB_AVD08	USB PHY VCCCORE analog voltage	0.72	0.8	0.88	V
USB_AVD18	USB PHY VCC18 analog voltage	1.62	1.8	1.98	V
USB_AVD33	USB PHY VCCA3P3 analog voltage	3.0	3.3	3.6	V
CODEC_AVDD	CODEC analog voltage	1.62	1.8	1.98	V

VDDCORE 要求供电能力不少于 2A，要求芯片端纹波噪声控制在 60mV 以内；
DDRVD/VDDMEM 要求供电能力不少于 1A,要求芯片端纹波噪声控制在 70mV 以内；USB_AVD33、
USB_AVD18、USB_AVD08、DDRPLL_VCCA、PLL_AVDD、SADC_AVDD、CSI_VCC08、CSI_VCC18、
CODEC_AVDD 使用磁珠（1kΩ@100MHz）与其他相同电平电源隔离。

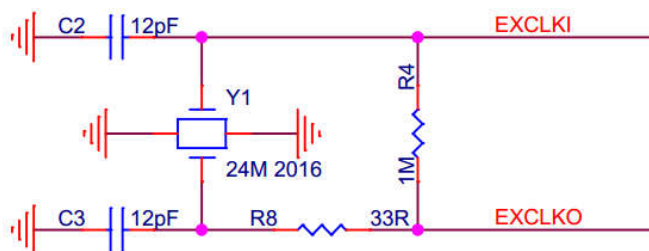
T41 的 BOOT 方式

BOOT_SEL1	BOOT_SEL0	Boot From
0	0	MMC/SD boot @ MSC0 (MMC/SD use GPIO Port B. MSC1 use GPIO Port C)
1	0	UART boot @ CS2(Ymodem@115200/9600)
1	1	USB boot
0	1	SFC boot @ CS4 (SFC boot @ SFC0&SFC1)

支持常用的SFC boot、SD boot。

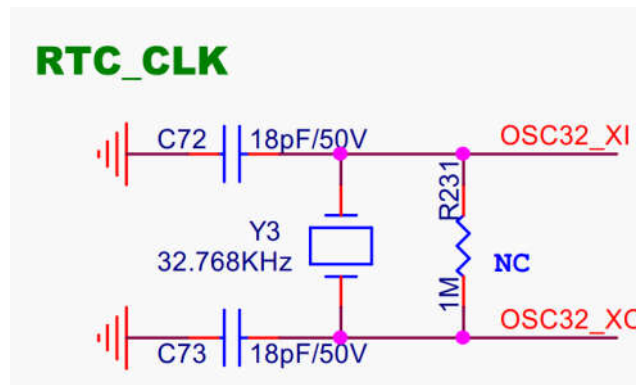
主时钟

T41 需要外接一个 24MHz 工作时钟，最大偏差 30ppm 典型电路如下：



RTC 时钟

T41 需要外接一个 32.768KHz 工作时钟，外接晶体对计时精度影响很大，需结合晶体频偏、温度等因子，采用合适的晶体。若产品需要十分严格的计时精度，建议搭建外置高精度的 RTC 电路。



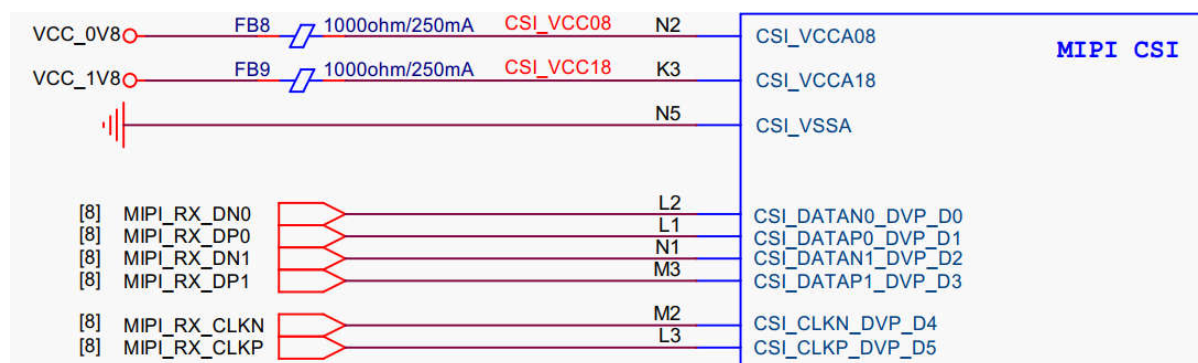
DVP 接口

T41 支持 10bit DVP 接口，分布于 GPIO 的 PA 组 PA00~PA17，可依据如下方式对接不同 sensor:

- 1) 当 sensor 是 8 位 DATA 接口时，需要从低位到高位依次连接到 DVP0 到 DVP7。
- 2) 当 sensor 是 10 位 DATA 接口时，需要从低位到高位依次连接到 DVP0 到 DVP9。

T41 的 DVP 接口电源域为 VDDIO18_2，仅支持 IO 电压 1.8V。DVP 接口同时复用 BT656 输入接口以及 BT1120 输入接口(8bit 串行模式)，具体 GPIO 复用关系请参考《T41 IPC 产品 GPIO 推荐分配表》。值得注意的是不同厂家的 CMOS Sensor 的 IO 驱动能力不一样，设计时注意 DVP 接口是否预留阻容匹配器件。

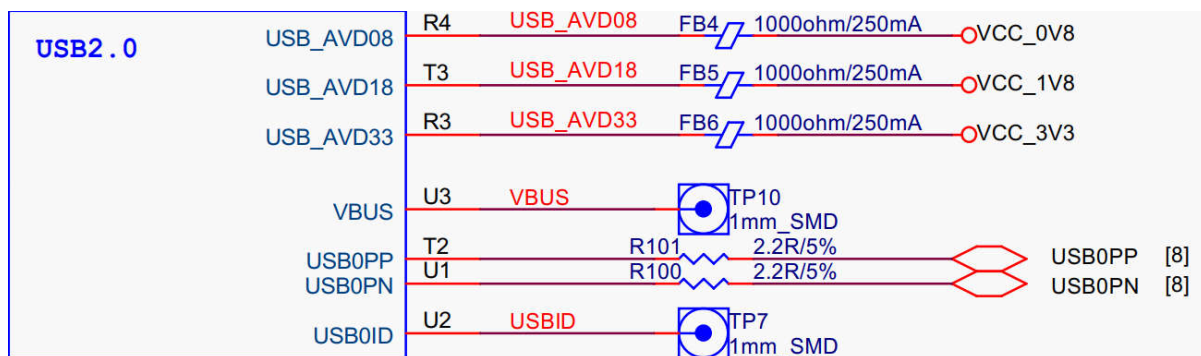
MIPI 接口复用于 DVP 口的 DVP00 到 DVP05，支持 2lane 的 MIPI-CSI，复用关系如下：



USB OTG

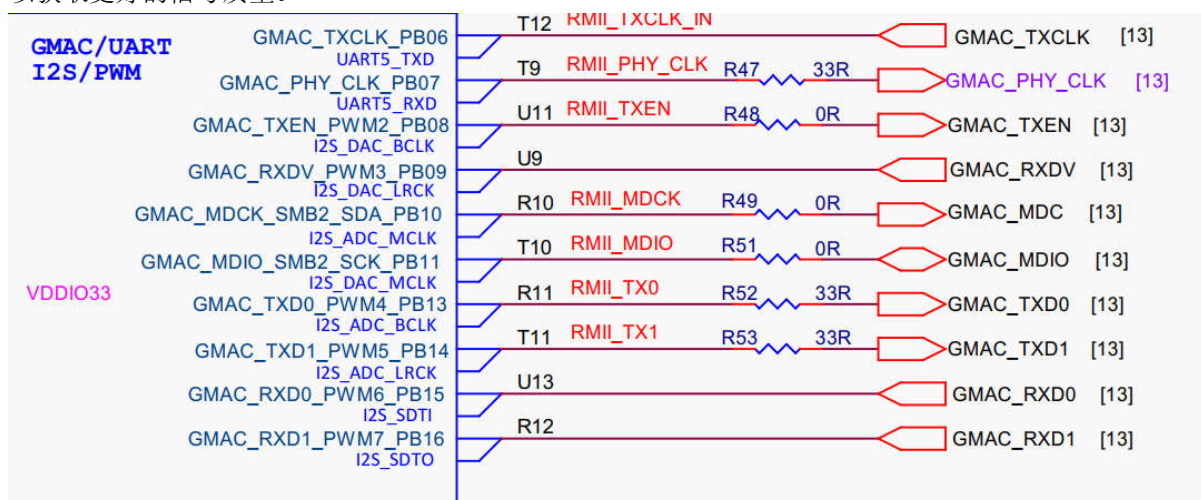
T41 USB 接口支持 OTG 功能，若要配置为 OTG 功能，USB_ID pin 需要引出使用。

若单纯当做 HOST 或者 DEVICE 功能是，ID pin 悬空即可，依据产品定义软件驱动配置固化即可，VBUS pin 可悬空处理。若产品对 ESD 等级要求较高，建议 USB 数据线上串联 2.2 ohm 电阻，加强抗静电，浪涌能力。



RMII 网络接口

T41 网络接口支持 10/100M 的 RMII 模式。外部以太网 PHY 工作在 RMII 模式所需要的 25M/50Mhz 时钟可通过 T41 的 PB07 的管脚输出；PB06 管脚必须为 50M 输入；MDIO 需要接上拉电阻；MDCK、TXCK、TXD0、TXD1 和 RXCK、RXD0、RXD1 信号建议在源端串联 33 欧姆电阻，以获取更好的信号质量。



T41 同时还支持内部以太网 PHY，接法参考如下：当使用内部以太网 PHY 时，RMII MAC 接口不能同时使用，相应管脚需 NC 处理。

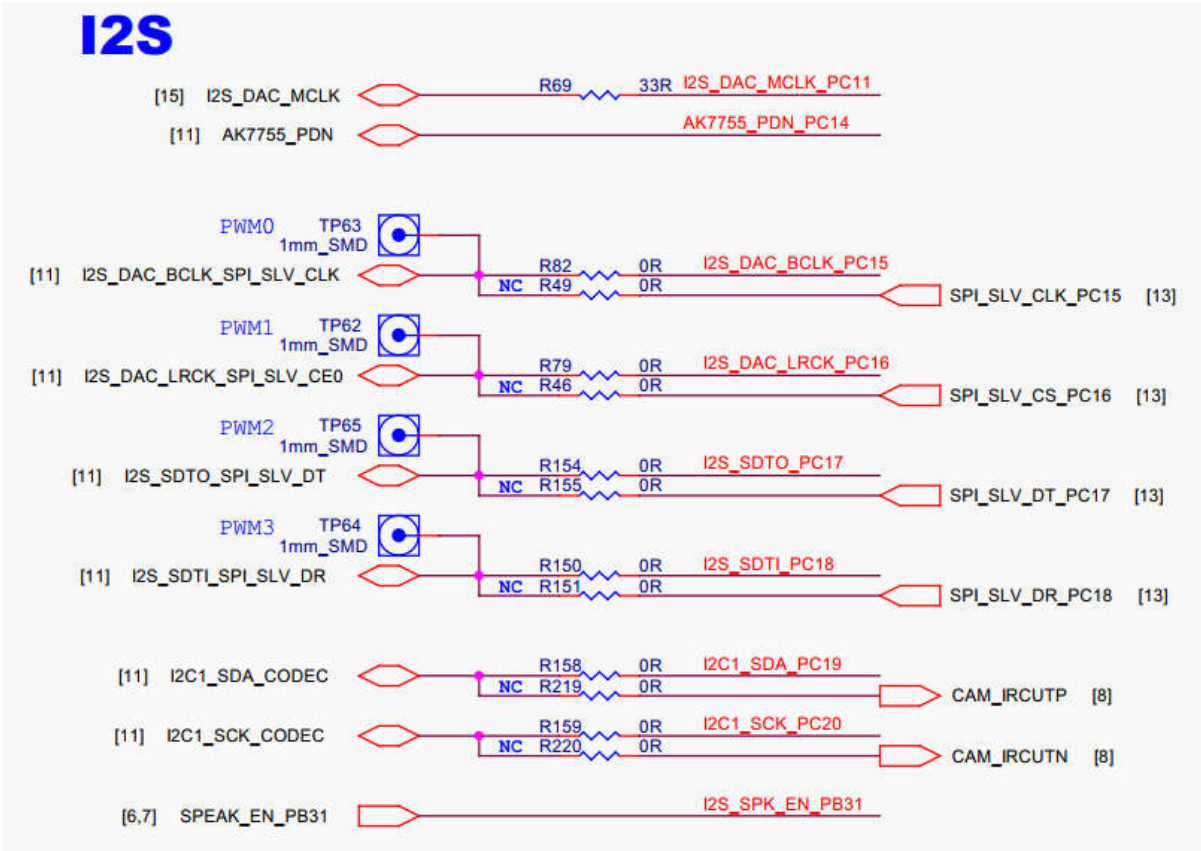
需注意：内部以太网 PHY 和外部以太网 PHY 共用一组 MDIO 接口，即当使用 RMII 网络时，GMAC_MDCK(pin R10)和 GMAC_MDIO(pin T10)只能作为 MDIO 接口使用，且 GMAC_MDIO(pin T10)需要上拉到 3.3V，不能作其他 Function。

MSC 接口

T41 支持两路 MSC 接口，若外接 TF 卡，使用 PB00-PB05 的 MSC0；若外接 SDIO WIFI 模组，可以使用 PB17-PB22 的 MSC1 接口。注意，MSC1 接口还复用在 PC 组，在低功耗电池项目上，SDIO WIFI 接到 PC02-PC07，IO 电平为 1.8V/3.3V，具体可参考《T41 IPC 产品 GPIO 分配分配推荐表》。

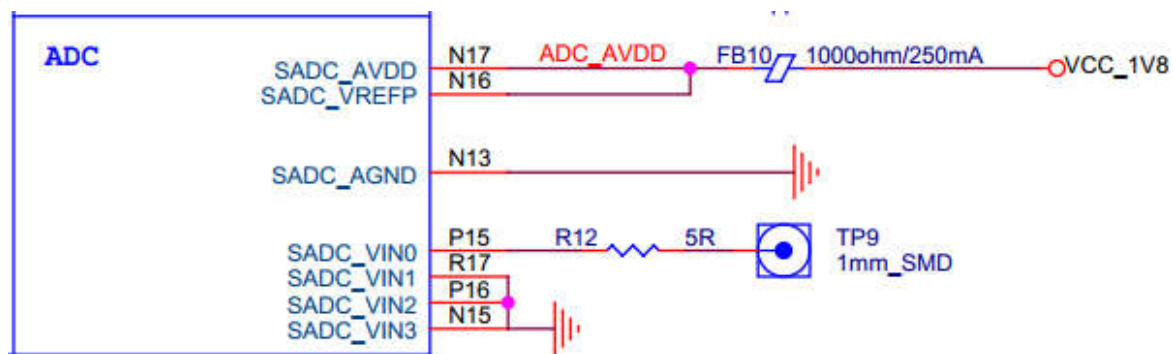
Audio 接口

T41 内置 CODEC 音频部分支持 1 路模拟输入和 1 路模拟输出；模拟输入支持差分 and 单端模式；T41 支持一路 I2S 总线，分布于 GPIO PB 组或者 PC 组，可通过 I2S 外接一颗 audio codec，一般产品上，外接 audio codec 建议采用 DAC 时钟，详细可参考如下：



SADC 接口

T41 支持 4 路 12 位分辨率 ADC 接口，参考电压为 ADC_VREF，可以采样 0-1.8V 范围内的模拟信号。ADC 供电建议串联磁珠，ADC 使用的通道建议串联 2.2~10 Ohm 电阻，加强抗静电，浪涌能力，未使用的通道可直接接地。

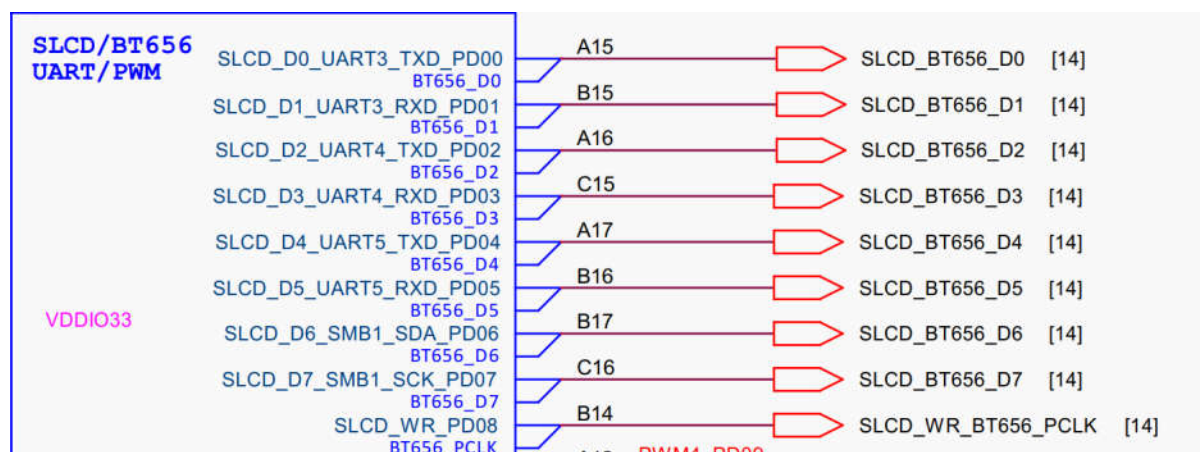


EFUSE 功能

在烧录模式下，需要提供 1.8V+/-10% 的电压给 EFUSE_AVD 引脚，并且烧录时间不能超过 1s；读模式中，EFUSE_AVD 的电压为 0V 即可通过 0 欧姆电阻接地处理。实际产品中 EFUSE_AVD 接地处理即可。

LCD 接口

T41 支持 8bit SLCD 显示接口，相关功能 IO 分布于 PD 组 GPIO 上：SLCD 显示接口同时复用 BT656 输出接口以及 BT1120 输出接口（8bit 串行模式），具体 GPIO 复用关系请参考《T41 IPC 产品 GPIO 推荐分配表》。



Dmic 接口

T41 除了支持模拟 mic 输入还支持最多 4 路 Dmic 阵列输入，参考如下。



2. PCB 设计注意事项

PCB 叠层

T41 为 0.65 pitch 的 232 管脚的 BGA 封装，PCB 堆叠设计可以采用 4 层结构。建议主芯片相邻层为主地 GND 层，这样主芯片信号回流路径最短。如主芯片布局在 Top 层，则叠层设置为

TOP-GND-VCC-BOTTOM。TOP 层参考 L2，BOTTOM 层参考 L3。叠层结构如下图：

层	厚度
TOP	10z
PP	3(mil)
L2	10z
Core	根据板厚调整
L3	10z
PP	3(mil)
BOT	10z

布局注意事项

- 1) 满足 SMT 工艺要求。
- 2) 高热器件尽量远离热敏感器件，如 SOC 主芯片尽量布局远离于 CMOS Sensor。
- 3) 注意结构限高位置。

过孔的设置

- 1) 普通过孔采用 8mil 孔径、16mil 外环。
- 2) 地、电过孔采用 12mil 孔径、24mil 外环。
- 3) SOC 主芯片和 DDR 部分的过孔排列要合理，间距最好不小于 30mil，不能破坏地、电层的回路。

DDR 电源和地的处理

在 SOC 主芯片和 DDR 的背面，最好对应每个电源 PIN 对应放置一个去耦电容,而且过孔应该紧挨着管脚放置,走线尽量粗而短，以避免增加导线的电感。VDDMEM、DDRVDD 的平面一定要保证实际的走线宽度。换层时要打尽量多的过孔，避免成为整个平面的瓶颈。

串扰从根本上来说取决于 PCB 的叠层和最小线间距。避免串扰的最好方法是保证信号有非常好的回流路径。每个信号层都要靠近完整的地平面以提供最短的回流路径。为了保持特征阻抗一致，地平面完整是非常重要的，地平面不能被打断。在走完信号线后，剩余的空间必须用 GND 填满，而且铺铜的线宽尽量小，可以使铺铜效果更好。

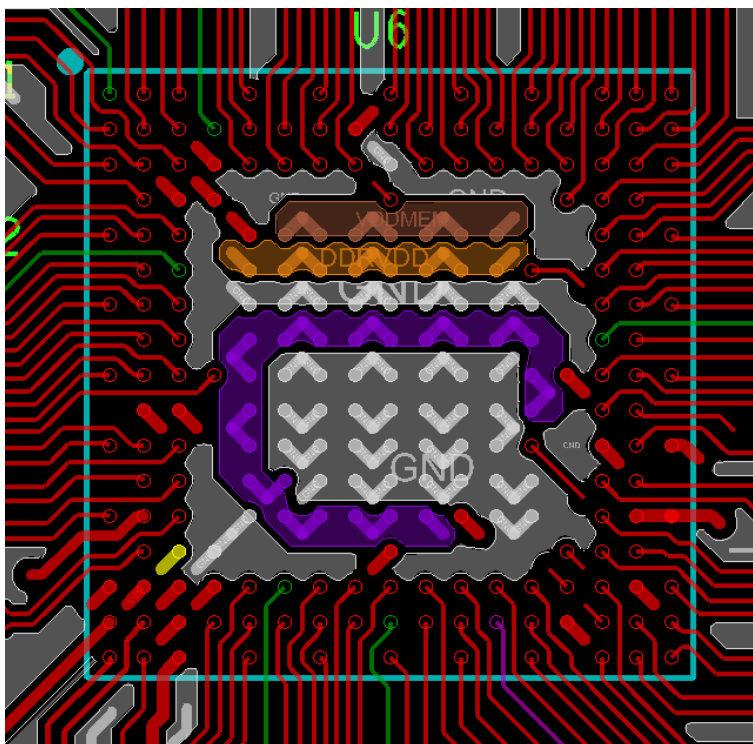
VREF 是 DDR 输入 buffer 的参考。VREF 分压电路要尽量靠近芯片，走线尽量短，建议线宽 20mil，并且与其他数据线保持 3W 以上的间距，保证不受干扰，在靠近 VREF PIN 脚的地方加 0.01uF 电容。

铺铜的设置

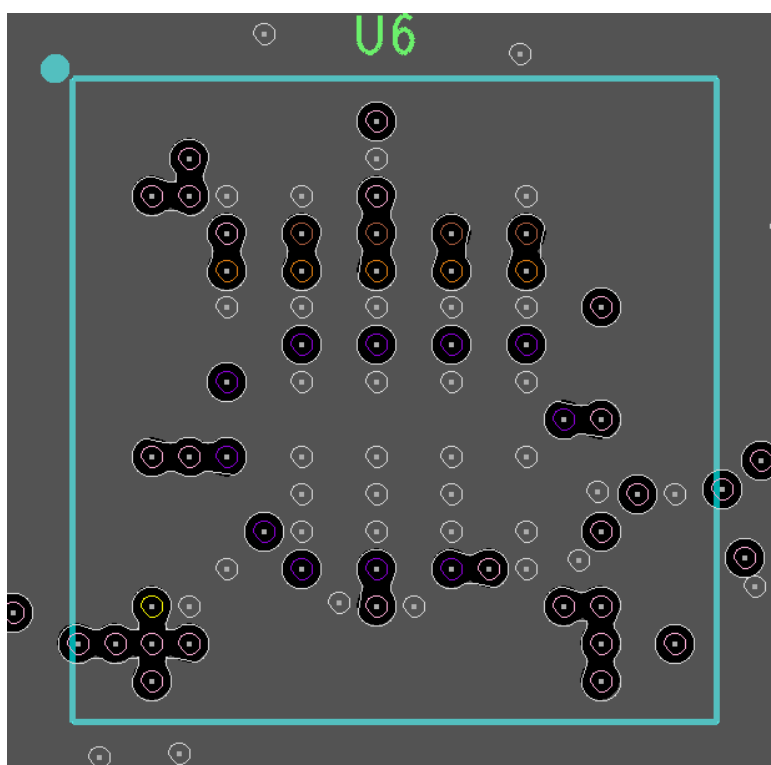
- 1) 过孔与铺铜的安全间距为 6mil。
- 2) 地、电层的铺铜线宽设置为 2mil，其他层可以设置为 4mil。

散热设计

- 1) 铜铂厚度建议采用 10Z，改善 PCB 的散热性能。
- 2) SOC 主芯片出线完毕后，在不影响电源平面完整性的前提下尽量多打一些地孔，如下图所示：



- 3) 地层一定要完整，SOC 主芯片内部的地可以有多条通路与社会主芯片外侧连通。



- 4) 大电流的走线应尽量短，尽量铺铜设计，以加宽走线宽度，同时该层的厚度要求在 10Z 以上，对于内层的走线，应安排在地层的相邻层。
- 5) PCB 板边用地孔（通孔）围起来、露铜，有利壳子的金属接地及 ESD，对散热也有好处。
- 6) 在布局上，SOC 主芯片和其他发热的器件隔开一定的宽度（至少 20mm），利用壳体开口方向（如散热窗，大的连接器开口等）则使最发热的器件放在其附近，成直线放置（SOC 主芯片可以这样排布）。对几个发热器件，交叉排布，不可成行成列布局。

其他电源的设计

- 1) 电源芯片要尽量靠近 SOC 主芯片布局。
- 2) 电源芯片布局时一定要需要注意 DC/DC 输入、输出电容的位置，输入输出电容都要尽量靠近 DC/DC 的 PIN 脚，并且确保它们的地和 SOC 主芯片的地之间的距离尽量短。
- 3) SOC 主芯片 VDD、VDDMEM、DDRVDD、DDRPLL_VCCA、PLL_AVDD 等的滤波电容要放在尽量靠近 SOC 主芯片 PIN 脚的位置上。
- 4) VDD, VDDMEM, DDRVDD 要在电源层铺铜，而不用走线的方式。
- 5) 电源换层时都要打尽量多的过孔，避免成为电源信号的传输瓶颈。
- 6) SOC 主芯片相关电容布局：
第 1 优先级：DDRPLL_VCCA、PLL_AVDD、VDD、VDDMEM、DDRVDD、VREF。
第 2 优先级：USB_AVD33、USB_AVD18、USB_AVD08、CSI_VCC08、CSI_VCC18、VDD_RTC、CODEC_AVDD。
第 3 优先级：VDDIO18_1、VDDIO18_2、VDDIO2、VDDIO1_1、VDDIO1_2、VDDIO_RTC、SADC_AVDD。
保证 SOC 主芯片下方铺铜（地和电源）的完整性及连续性，便于能够提供良好的信号回流路径，改善信号传输质量，提高产品的稳定性；同时也可以改善的散热的性能。
- 7) 所有的接地焊盘都要就近打过孔接地层。

晶体设计

24M 晶体 CLKIN 和 CLKOUT 信号走线全程做包地处理，多层板设计时保证这些信号有完整的参考。晶体电路下方不能有信号及电源穿过。

时钟走线

建议整板时钟走线建议上下包地，和其他信号保持 3W 原则，并串上匹配电阻以获取更好的信号质量。

USB 走线

为了保证良好的信号质量，USB2.0 端口数据信号线按照差分线方式走线。为了达到 USB 2.0 高速 480MHz 的速度要求，建议 PCB 布线设计采用以下原则：

- 1) 差分数据线走线尽可能短、直，差分数据线对内走线长度严格等长，走线长度偏差控制在 $\pm 5\text{mil}$ 以内。
- 2) 差分数据线控制 $90\Omega \pm 10\%$ 的均匀差分阻抗。
- 3) 差分数据线走线尽可能在临近地平面的布线层走线且不要换层。
- 4) 差分数据线走线应有完整的地平面层作为参考平面，不能跨平面分割。
- 5) 差分数据线走线应尽量用最少的过孔和拐角，拐角可考虑用圆弧或者 135° 角，避免直角，以减少反射和阻抗变化。
- 6) 避免邻近其它高速周期信号和大电流信号，并保证间距大于 50mil ，以减小串扰。此外，还应远离低速非周期信号，保证至少 20mil 的距离。

DVP 走线

数据线与时钟线走线长度偏差控制在 $\pm 300\text{mil}$ 以内；DVP_MCLK、DVP_PCLK、DVP_HSYNC、DVP_VSYNC 走线要保持和其他走线间距，满足 3W 要求，以免有串扰现象。

MIPI 走线

按照差分线进行对内等长控制 $\pm 5\text{mil}$ 以内，差分对间以时钟信号为基础控制 $\pm 100\text{mil}$ 以内，阻抗控制 $100\Omega \pm 10\%$ 以内；避免信号走线穿越电源分割区域，保持信号参考平面完整；相邻信号走线间距保持“3W”原则。

音频走线

音频部分走线时要将输入和输出的走线分开，MICP/MICN 要差分走线，做包地处理，要避免其他数字信号及开关电源的干扰；Hpout 走线做包地处理，要避免其他数字信号及开关电源的干扰。

MAC 走线

由于 GMAC 信号速率较高，建议 PCB 布线设计采用以下原则以减小总线信号之间的串扰：

- 1) 避免信号走线穿越电源分割区域，保持信号参考平面完整。
- 2) 信号线长度以时钟线为基准，走线长度偏差控制在 $\pm 200\text{mil}$ 以内。
- 3) 变压器芯片正下方的地需要挖空处理。
- 4) 相邻信号走线间距保持“3W”原则。
- 5) 建议时钟信号上串联一个 33Ω 电阻以获取更好的信号质量。

PHY 端的 MDI_TP、MDI_TN、MDI_RP、MDI_RN 差分对尽量等长，走线长度偏差控制在 $\pm 5\text{mil}$ 以内，差分阻抗控制在 $100\Omega \pm 10\%$ 。